



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 100 63 626 A 1

51 Int. Cl.⁷:
G 11 C 29/00

21 Aktenzeichen: 100 63 626.8
22 Anmeldetag: 20. 12. 2000
43 Offenlegungstag: 18. 7. 2002

DE 100 63 626 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE

74 Vertreter:
Wilhelm & Beck, 80636 München

72 Erfinder:
Schröder, Stephan, 81543 München, DE

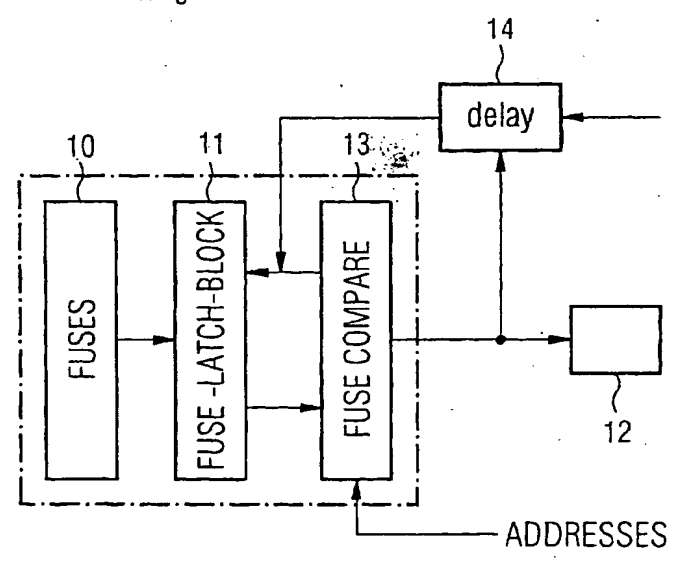
56 Entgegenhaltungen:
DE 199 21 868 A1
US 56 68 818

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung

57 Die Erfindung betrifft ein Verfahren zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung mit einer Vielzahl von Speicherzellen und redundanten Speicherzellen zum Ersetzen fehlerhafter Speicherzellen per Sicherungen bzw. Fuses, aufweisend die Schritte: Ermitteln der fehlerhaften Speicherzellen, und hardwaremäßiges Aktivieren redundanter Speicherzellen für die ermittelten fehlerhaften Speicherzellen durch Fuse-Repair, basierend auf dem Ergebnis der Ermittlung. Um Ausschuss kostengünstig frühzeitig erkennen zu können ist erfindungsgemäß vorgesehen, dass die Aktivierung der redundanten Speicherzellen vor der Laser-Fuse-Reparatur softwaremäßig simuliert und mit dieser simulierten Konfiguration ein Leistungsfähigkeitstest durchgeführt wird.



DE 100 63 626 A 1

[0001] Die Erfindung betrifft ein Verfahren zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung mit einer Vielzahl von Speicherzellen und redundanten Speicherzellen zum Ersetzen fehlerhafter Speicherzellen per Sicherungen bzw. Fuses, aufweisend die Schritte: Ermitteln der fehlerhaften Speicherzellen, und hardwaremäßiges Aktivieren redundanter Speicherzellen für die ermittelten fehlerhaften Speicherzellen durch Fuse-Repair basierend auf dem Ergebnis der Ermittlung.

[0002] Speichervorrichtungen in Gestalt von Speicherchips, beispielsweise eines DRAM (vorliegend als DRAM-Vorrichtung bezeichnet) enthalten neben dem eigentlichen Speicherbereich zusätzliche bzw. redundante Elemente, wie etwa Ersatzzeilen und Ersatzspalten (vorliegend als redundante Speicherzellen bezeichnet). Die redundanten Elemente dienen dazu, fehlerhafte Elemente des Speicherchips zu ersetzen. Das Ermitteln und Ersetzen fehlerhafter Speicherzellen erfolgen im Rahmen eines Verfahrens zum Testen der Leistungsfähigkeit des Speicherchips der eingangs genannten Art. Bislang war es üblich, den ersten Schritt, fehlerhafte Speicherzellen zu ermitteln und den Schritt, ersatzweise redundante Speicherzellen durch Fuse-Repair zu aktivieren, am strukturierten Wafer durchzuführen. Daraufhin wurde der Speicherchip konfektioniert und der Leistungsfähigkeitstest durchgeführt.

[0003] Grob gesagt untergliedert sich die bisherige Speicherchip- bzw. -DRAM-Herstellung in einen Test am strukturierten Wafer und einen Test am konfektionierten Bauteil. D. h., ein aussagekräftiger Leistungstest war erst am endgültigen Produkt zugänglich. Dies hat zur Folge, dass Ausschuss erst in einem relativ späten Stadium des Herstellungsprozesses erkannt und ausgeschieden werden kann.

[0004] Eine Aufgabe der Erfindung besteht darin, ein Verfahren der eingangs genannten Art zu schaffen, das eine Aussage über die Leistungsfähigkeit der DRAM-Vorrichtung bereits in einem frühen Stadium seiner Herstellung erlaubt.

[0005] Gelöst wird diese Aufgabe durch die Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben. Eine vorteilhafte Schaltung zur Durchführung des erfindungsgemäßen Verfahrens ist im Anspruch 6 angegeben.

[0006] Demnach erfolgt erfindungsgemäß ein aussagekräftiger Leistungsfähigkeitstest bereits in einem frühen Stadium der Herstellung der DRAM-Vorrichtung auf Grundlage einer softwaremäßigen Simulation der Fuse-Reparatur. Dabei kann die DRAM-Vorrichtung in einer die endgültige Konfiguration im fertigen Bauteil simulierenden Konfiguration getestet werden, die auch Nachbarschaftseffekte berücksichtigt. Insbesondere erfolgt der Leistungsfähigkeitstest auf dem strukturierten Wafer vor Verpackung bzw. Konfektionierung der DRAM-Vorrichtung in ein gebrauchsfertiges Bauteil. Falls sich bei diesem auf den Herstellungsprozess bezogenen frühzeitigen Test herausstellen sollte, dass die DRAM-Vorrichtung nicht die spezifizierte Leistung erbringt, kann sie als Ausschuss erkannt und ausgeschieden werden, bevor weitere aufwendige und kostenintensive Fertigungsschritte folgen.

[0007] Im einzelnen sind zur softwaremäßigen Simulation der Aktivierung der redundanten Speicherzellen vor der Fuse-Reparatur bevorzugt folgende Schritte vorgesehen: Schicken eines Befehls an die Speichereinrichtung zur Aktivierung eines Simulationsmodus, Adressieren der Speichereinrichtung, und Schreiben von Reparaturadressen für die Redundanzspeicherzellen in die Speichereinrichtung.

[0008] Während die erfindungsgemäße Speichereinrich-

tung zur Simulation der Aktivierung der redundanten Speicherzellen vor der Fuse-Reparatur in Gestalt eines speziellen zusätzlichen Speichermittels vorgesehen sein kann, ist bevorzugt, auf existierende Speichermittel der DRAM-Vorrichtung zurückzugreifen, nämlich auf die standardmäßig vorgesehenen Fuse-Latch-Blöcke, von denen jeweils einer jeder redundanten Speicherzelle zugeordnet ist. Dabei ist erfindungsgemäß vorgesehen, die Fuse-Latch-Blöcke einzeln zu adressieren und in diese Zellen einzeln die Reparaturadressen für die zu ersetzenden Speicherzellen zu schreiben. Die softwaremäßige Simulation der Aktivierung der redundanten Speicherzellen erfolgt auf Grundlage der Fuse-Latch-Blöcke bevorzugt derart, dass jedem Fuse-Latch-Block ein Fuse-Komparator zugeordnet ist, der mit der Adresse des Fuse-Latch-Blocks und taktverzögert den Reparaturadressen für diesen beaufschlagt wird, diese an den Fuse-Latch-Block weitergibt und die zugehörige redundante Speicherzelle mit den Reparaturadressen adressiert, wobei der Befehl zur Aktivierung des Simulationsmodus in den Fuseblock taktverzögert an den Fuse-Latch-Block angelegt wird.

[0009] Die Erfindung stellt außerdem eine Schaltung zur Durchführung des erfindungsgemäßen Verfahrens zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung mit einer Vielzahl von Speicherzellen und redundanten Speicherzellen zum Ersetzen fehlerhafter Speicherzellen per Sicherungen bzw. Fuses wobei jeder redundanten Speicherzelle ein Fuse-Latch-Block zugeordnet ist, bereit. Jedem Fuse-Latch-Block ist ein Fuse-Komparator zugeordnet, der mit der Adresse des Fuse-Latch-Blocks und taktverzögert den Reparaturadressen für diesen beaufschlagt wird, diese an den Fuse-Latch-Block weitergibt und die zugehörige redundante Speicherzelle mit den Reparaturadressen adressiert.

[0010] Nachfolgend wird die Erfindung anhand der Zeichnungen beispielhaft näher erläutert; die einzige Figur der Zeichnung zeigt schematisch eine Ausführungsform einer Schaltung zur Durchführung des erfindungsgemäßen Verfahrens zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung für eine durch eine redundante Speicherzelle zu ersetzende fehlerhafte Speicherzelle.

[0011] Eine z. B. per Laser aktivierbare Fuse bzw. Sicherung der DRAM-Vorrichtung ist in der Figur mit der Bezugsziffer 10 bezeichnet. Dieser Fuse 10 ist in an sich bekannter Weise ein Fuse-Latch-Block 11 zugeordnet, der zur hardwaremäßigen Aktivierung einer redundanten Speicherzelle 12, z. B. einer Ersatz-Wortleitung oder einer Ersatz-Spaltenwahlleitung mit dem Ziel eine nicht gezeigte, vorab als solche ermittelte fehlerhafte Speicherzelle der DRAM-Vorrichtung zu ersetzen, programmierbar ist.

[0012] Erfindungsgemäß ist die Programmierung des Fuse-Latch-Blocks 11 zugunsten eines On-Wafer-Leistungsfähigkeitstests softwaremäßig programmierbar. Zu diesem Zweck sind der Ausgang des Fuse-Komparators 13 und der Eingang des Fuse-Latch-Blocks 11 über einen Befehl für einen Fuse-Latch-Block-Programmierungs-Simulationsmodus steuerbar. In diesem Modus wird der Fuse-Latch-Block 11 über den Fuse-Komparator 13 in einem ersten Schritt adressiert. Mittels der Verzögerungseinrichtung 14 wird ein zweiter Schritt um einen Takt verzögert. In einem zweiten Schritt wird eine Reparaturadresse für die redundante Speicherzelle 12 über den Fuse-Komparator 13 in den Fuse-Latch-Block 11 geschrieben. Damit ist die Aktivierung der redundanten Speicherzelle 12 vor einer hardwaremäßigen Programmierung des Fuse-Latch-Blocks 10 softwaremäßig simuliert.

[0013] Dieselbe Simulation erfolgt für sämtliche redundanten Speicherzellen und Fuse-Latch-Blöcke der DRAM-Vorrichtung, so dass diese noch auf dem strukturierten Wa-

fer vor einer Konfektionierung in ein fertiges Bauteil in einem Simulationsmodus einem aussagekräftigen Leistungsfähigkeitstest unterworfen werden kann.

Latch-Block (11) angelegt wird.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

5

1. Verfahren zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung mit einer Vielzahl von Speicherzellen und redundanten Speicherzellen zum Ersetzen fehlerhafter Speicherzellen per Sicherungen bzw. Fuses, aufweisend die Schritte:

- a) Ermitteln der fehlerhaften Speicherzellen, und
- b) hardwaremäßiges Aktivieren redundanter Speicherzellen für die ermittelten fehlerhaften Speicherzellen durch Fuse-Repair basierend auf dem Ergebnis der Ermittlung,

dadurch gekennzeichnet,

dass die Aktivierung der redundanten Speicherzellen vor der Laser-Fuse-Reparatur softwaremäßig simuliert und mit dieser simulierten Konfiguration ein Leistungsfähigkeitstest durchgeführt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass zur softwaremäßigen Simulation der Fuse-Reparatur folgende Schritte vorgesehen sind:

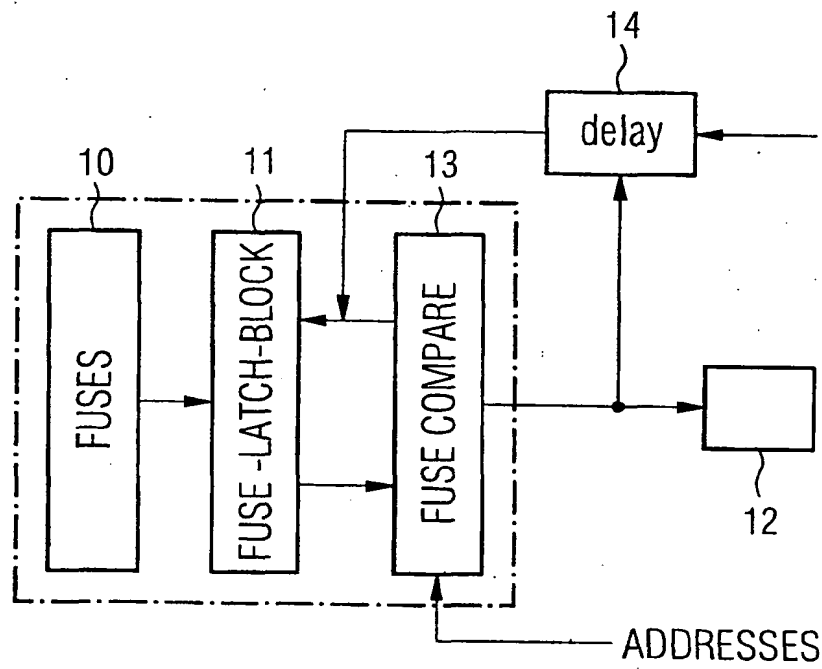
Schicken eines Befehls an die Speichereinrichtung zur Aktivierung eines Simulationsmodus, Adressieren der Speichereinrichtung, und Schreiben von Reparaturadressen für die redundanten Speicherzellen in die Speichereinrichtung.

3. Verfahren nach Anspruch 2, wobei jeder Ersatzzelle ein Fuse-Latch-Block (11) zugeordnet ist, dadurch gekennzeichnet, dass die Speichereinrichtung aus den Fuse-Latch-Blöcken besteht, die einzeln adressiert werden und in die einzeln die Reparaturadressen für die redundanten Speicherzellen geschrieben werden.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass jedem Fuse-Latch-Block ein Fuse-Komparator zugeordnet ist, der mit der Adresse des Fuse-Latch-Blocks und den Reparaturadressen für diesen beaufschlagt wird, diese an den Fuse-Latch-Block weitergibt und die zugehörige redundante Speicherzelle mit der Reparaturadresse adressiert, wobei der Befehl zur Aktivierung des Simulationsmodus taktverzögert an den Fuse-Latch-Block angelegt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Leistungsfähigkeitstest basierend auf der softwaremäßigen Simulation der Laser-Fuse-Reparatur für die auf dem Wafer realisierte DRAM-Vorrichtung vor dem Konfektionieren dieser Vorrichtung in einen Baustein als vorläufiger Leistungsfähigkeitstest mit dem Ziel erfolgt, Ausschuss frühzeitig zu erkennen und auszuschneiden.

6. Schaltung zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 5 zum Testen der Leistungsfähigkeit einer DRAM-Vorrichtung mit einer Vielzahl von Speicherzellen und redundanten Speicherzellen (12) zum Ersetzen fehlerhafter Speicherzellen per Sicherungen bzw. Fuses (10) wobei jeder Ersatzzelle ein Fuse-Block (10) und ein Fuse-Latch-Block (11) zugeordnet ist, dadurch gekennzeichnet, dass jedem Fuse-Latch-Block (11) ein Fuse-Komparator (13) zugeordnet ist, der mit der Adresse des Fuse-Latch-Blocks (11) und der Reparaturadresse für diesen beaufschlagt wird, diese an den Fuse-Latch-Block (11) weitergibt und die zugehörige redundante Speicherzelle (12) mit der Reparaturadresse adressiert, wobei der Befehl zur Aktivierung des Simulationsmodus mittels einer Verzögerungseinrichtung (14) taktverzögert an den Fuse-



Testing DRAM device performance involves simulating redundant memory cell activation in software prior to laser fuse repair, carrying out performance test with simulated configuration

Patent Number: DE10063626
Publication date: 2002-07-18
Inventor(s): SCHROEDER STEPHAN (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE10063626
Application Number: DE20001063626 20001220
Priority Number(s): DE20001063626 20001220
IPC Classification: G11C29/00
EC Classification: G11C29/00B2B2E, G11C29/00W
Equivalents:

Abstract

The method involves simulating the activation of redundant memory cells in software prior to laser fuse repair and carrying out a performance test with the simulated configuration. Laser fuse repair is simulated in software by sending a command to the memory to activate simulation mode, activating simulation mode, addressing the memory and writing repair addresses for the redundant cells in to the memory. Independent claims are also included for the following: a circuit for implementing the method.

Data supplied from the esp@cenet database - I2



DOCKET NO: P2002, 0627

SERIAL NO: _____

APPLICANT: Peter Beer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100